

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

**BATTERY TEST DEVICE, AND ELECTRIC POWER DEVICE
HAVING THE TEST DEVICE BUILT IN**

Title: BATTERY TEST DEVICE, AND ELECTRIC POWER DEVICE HAVING THE TEST DEVICE BUILT IN

Patent Number: JP7128414

Publication date: 95-05-19

Inventor(s): OZU KIYOTSUGU; others: 08

Applicant(s): SHINDENGEN ELECTRIC MFG CO LTD; others: 03

Application Number: JP930294100 931029

Priority Number(s):

IPC Classification: G01R31/36

Requested Patent: JP7128414

Equivalents:

Abstract

PURPOSE: To eliminate a dedicated data accumulation RAM, to miniaturize a system, further to provide a battery test device of high frequency wave noise- proof and an electric power device which contains the test device for improved reliability by sampling with a relatively low-speed sample hold circuit and A convertor and by utilizing filter effect with the use of an integration circuit consisting of, for example, a capacitor and a resistor for reduced detected data amount sampled at sampling point.

CONSTITUTION: The output signal from a battery voltage detection circuit 7 and that from a battery current detection circuit 1 are alternately switched over by A pair analogue multiplexer 15, and after hold by a pair of low-speed sample hold circuit 16, converted into digital signal by a pair of AD converter 17, so that, instead of being stored in a dedicated data accumulation RAM, directly stored in the RAM positioned as the periphery of a microprocessor 12, for collective processing of digital data.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-128414

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

G 01 R 31/36

A

審査請求 未請求 請求項の数2 FD (全5頁)

(21)出願番号 特願平5-294100

(22)出願日 平成5年(1993)10月29日

(71)出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(71)出願人 591011834

株式会社アフティ

東京都武蔵野市緑町3-9-11

(74)代理人 弁理士 川井 治男

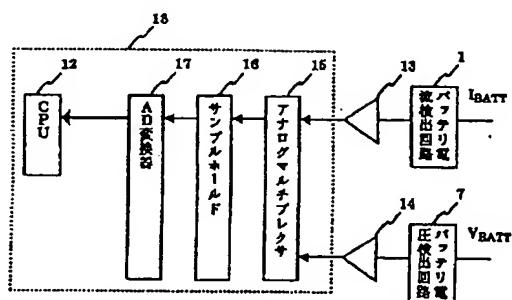
最終頁に続く

(54)【発明の名称】 バッテリ試験装置及び同試験装置を内蔵した電力装置

(57)【要約】

【目的】 本発明は、比較的低速のサンプルホールド回路及びA/D変換器でサンプリングを行い、例えばコンデンサと抵抗からなる積分回路でフィルタ効果を利用し、サンプリングポイント及びサンプリングされた検出データ数を少なくすることで、データ蓄積専用RAMを削減、システムを小型化し、さらに高周波ノイズに強くしたバッテリ試験装置、および同試験装置を内蔵して、信頼性の向上を計った電力装置を提供することを目的とする。

【構成】 バッテリ電圧検出回路からの出力信号とバッテリ電流検出回路からの出力信号は、1組のマルチブレクサにより交互に切替えられ、1組の低速のサンプルホールド回路によりホールドされた後、1組のA/D変換器によりデジタル信号に変換され、データ蓄積専用RAMにより保管することなく、直接マイクロプロセッサの周辺として位置づけられたRAMに保管し、デジタルデータを一括処理するように構成したバッテリ試験装置及び同試験装置を内蔵した電力装置。



1

【特許請求の範囲】

【請求項1】 バッテリ端子により、バッテリ電圧とバッテリ充電電流又は放電電流を検出し、前記バッテリの内部抵抗を算出し、該バッテリの残容量判定又は劣化判定を行うバッテリ試験装置に於いて、前記バッテリ電圧検出回路からの出力信号と前記バッテリ電流検出回路からの出力信号は、1組のアナログマルチプレクサにより交互に切替え入力された後、1組の低速のサンプルホールド回路により、前記アナログマルチプレクサからの出力信号はホールドされた後、1組のAD変換器によりデジタル信号に変換され、直接マイクロプロセッサの周辺として位置づけられたRAMに保管し、該RAMに保管されたディジタルデータを前記マイクロプロセッサで一括処理することにより、前記バッテリ残容量判定又は劣化判定を行うことを特徴とするバッテリ試験装置。

【請求項2】 交流入力を電源とし、直流出力を得るAC/DACコンバータ、又は交流出力を得るAC/ACコンバータが、蓄電池を充電しながら負荷に電力を供給し、前記交流入力停電時には前記蓄電池を電源とし、直流出又は交流電力を負荷に供給する様構成された電力装置に於いて、特許請求の範囲第一項記載のバッテリ試験装置を内蔵し、該バッテリ試験装置は前記蓄電池の残容量の判定又は劣化状態を観測し、測定結果を前記電力装置より外部に送出する機能を備えたことを特徴とする電力装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バッテリ残容量判定又は劣化判定を行うバッテリ試験装置、および同試験装置を内蔵した電力装置に関するものである。

【0002】

【従来の技術】 図4は、従来のバッテリ試験装置に於ける検出方法の一例を示すブロック図である。図4において、1はバッテリ電流検出回路、2、8は高速広帯域オペアンプ、3、9は高速のサンプルホールド回路、4、10は高速のAD変換器、5はデータ処理回路、6、11はデータ蓄積専用RAM、7はバッテリ電圧検出回路、12はマイクロプロセッサである。

【0003】 所定の期間に、バッテリの充放電電流 I_{BAT} は、バッテリ電流検出回路1に於てシャント抵抗あるいはホール素子等の検出方法で電流電圧変換され、該電圧は、高速広帯域オペアンプ2に於て、高速に、かつ後段の回路が処理できる範囲の適当な電圧値まで増幅される。増幅された該電圧は、高速のサンプルホールド回路3により、例えば10MHzサンプリングのような高速動作でサンプリング(100nsサンプリング)され、かつホールドされる。ホールドされたデータは、高速のAD変換器4によりデジタル変換され、データ処理回路5の選択回路によりデータ蓄積専用RAM6に逐次保管される。

2

【0004】 この間は、例えば $50\mu s$ 間に500データの収集で、1データ当たりの検出から保管までのトータル処理時間は100nsと極めて高速に行う。一方、バッテリの端子電圧 V_{BAT} は、前記バッテリの充放電電流検出と同様の所定の期間に、バッテリ電圧検出回路7において直接若しくは抵抗分圧回路等の検出方法で高速広帯域オペアンプ8に送られ、バッテリの充放電電流の検出方法と同様に、高速広帯域オペアンプ8に於て、高速に、かつ後段の回路が処理できる範囲の適当な電圧値まで増幅される。増幅された該電圧は、高速のサンプルホールド回路9により、例えば10MHzサンプリングのような高速動作でサンプリングされ、かつホールドされる。ホールドされたデータは、高速のAD変換器10によりデジタル変換され、データ処理回路5の選択回路によりデータ蓄積専用RAM11に逐次保管される。

【0005】 以上のようにして検出したRAM6、11内のバッテリ端子電圧及びバッテリ充放電電流のデータを、所定の期間内の検出が終了した時点で、データ処理回路25を通してマイクロプロセッサ12の周辺として位置づけられたRAM(図示せず)に逐次保管又は加算され、マイクロプロセッサ12で一括処理される。そして該バッテリ端子電圧及びバッテリ充放電電流の平均値を計算し、バッテリの内部抵抗を算出することにより、バッテリの残容量判定若しくは劣化判定を行うものであった。

【0006】

【発明が解決しようとする課題】 しかし、上記の技術は以下のとおり欠点を有していた。

- ① 量子化誤差を減らすために、所定の期間内でのサンプリングを多くすると、高速広帯域オペアンプ及び、高速動作可能なサンプルホールド回路及びAD変換器が必要になる。
- ② 所定の期間内でサンプリングされた、多くのデータを収集し一括処理するため、データを保管するためのデータ蓄積専用RAMが必要である。
- ③ 通常の高速サンプリングでは、電流出力回路と電圧出力回路の各々の系統に高速広帯域オペアンプ、サンプルホールド回路及び高速AD変換器を必要とした。また、更に高速化することは回路構成が複雑になり一般的でない。

【0007】 以上の要因は全てシステムが大型化して、しかも高価になりやすく、又多数の高速で動作する個別部品を使用する事により、部品間の配線からの高周波ノイズの送受信が行われ、高周波ノイズに弱い原因になる。

【0008】 従って、本発明は、上記問題点を解決するため、比較的低速のオペアンプやサンプルホールド回路及びAD変換器でサンプリングやAD変換を行う。サンプルホールド回路はコンデンサと抵抗からなる積分回路を用いているので、そのフィルタ効果によりサンプリ

グされたデータを平均化するので、サンプルデータ数を少なくすることが出来、データ蓄積専用RAMを削減し、システムを小型化にし、さらに高周波ノイズに強くすることを目的とするものである。

【0009】

【課題を解決するための手段】すなわち、本発明は上記の目的に対応して次の様な手段を有している。本発明のバッテリ試験装置はバッテリ端子により、バッテリ電圧とバッテリ充電電流又は放電電流を検出し、前記バッテリの内部抵抗を算出し、該バッテリの残容量判定又は劣化判定を行うバッテリ試験装置に於て、前記バッテリ電圧検出回路からの出力信号と前記バッテリ電流検出回路からの出力信号は、1組のアナログマルチブレクサにより交互に切替え入力された後、1組の低速のサンプルホールド回路により、前記アナログマルチブレクサからの出力信号はホールドされた後、1組のAD変換器によりデジタル信号に変換され、前記デジタル信号をデータ蓄積用RAMに保管することなく、直接マイクロプロセッサの周辺として位置づけられたRAMに保管し、該RAMに保管されたデジタルデータを前記マイクロプロセッサで一括処理することにより、前記バッテリ残容量判定又は劣化判定を行うことを特徴としている。

【0010】さらに本発明の電力装置は交流入力を電源とし、直流出力を得るAC/DCコンバータ、又は交流出力を得るAC/ACコンバータが、蓄電池を充電しながら負荷に電力を供給し、前記交流入力停電時には前記蓄電池を電源とし、直流又は交流電力を負荷に供給する様構成された電力装置が前記バッテリ試験装置を内蔵し、前記バッテリ試験装置は前記蓄電池の残容量の推定判定又は劣化状態を観測し、その測定結果を前記電力装置より外部に送出する機能を備えたことを特徴としている。

【0011】

【作用】バッテリ内部抵抗を算出する為のバッテリ電流検出値とバッテリ電圧検出値を、1組のマルチブレクサで交互切替えして取出し、積分回路を有するサンプルホールド回路によって、低速かつ少ない検出データを有効に取り出し、AD変換器によりデジタル信号に変換する。このデジタル信号は低速である為、データ蓄積用RAMに保管する事なく、直接、マイクロプロセッサで処理し、バッテリ内部抵抗演算を行う事を可能にしたバッテリ試験装置である。

【0012】又、上記作用を行う、バッテリ試験装置を電力装置に内蔵して、電力装置内に収納され、停電時バックアップ電源としてのバッテリ内部抵抗を観測し、この測定データを電力装置より外部に送出する様に構成され、電力装置の信頼性向上を計っている。

【0013】

【実施例】図1は本発明のバッテリ試験装置の実施例であって、1はバッテリ電流検出回路、13、14はオペ

アンプ、15はアナログマルチブレクサ、16は低速のサンプルホールド回路、17はAD変換器、7はバッテリ電圧検出回路、12はマイクロプロセッサである。

【0014】次にその動作を説明する。所定の期間内で、バッテリの充放電電流 I_{BAT} は、バッテリ電流検出回路1においてシャント抵抗若しくはホール素子等の検出方法で電流電圧変換され、オペアンプ13に於て、後段の回路が処理できる範囲の適当な電圧値まで増幅される。

【0015】一方、バッテリの端子電圧 V_{BAT} は、所定の期間内で、バッテリ電圧検出回路7において直接若しくは抵抗分圧回路等の検出方法でオペアンプ14に送られ、バッテリの充放電電流の検出方法と同様に、後段の回路が処理できる範囲の適当な電圧値まで増幅される。

【0016】次に、バッテリ電流の増幅された電圧値とバッテリ電圧の増幅された電圧値は、一組のアナログマルチブレクサ15に入力され、該バッテリ電流とバッテリ電圧が低速のサンプルホールド回路16にて、交互にサンプリングされ、かつホールドされる。ホールドされたデータは、AD変換器17によりデジタル変換され、従来と同様マイクロプロセッサ12の周辺として位置づけられたRAM(図示せず)に逐次保管又は加算され、マイクロプロセッサ12を介して処理される。

【0017】この間は例えば試験用バッテリの充放電流の上昇又は降下時間の $100\mu\text{s}$ を除いて、 $400\mu\text{s}$ の時間内で28データの収集で、1データ当たり検出から保管まで $14\mu\text{s}$ と低速である。また、サンプリングデータ数が少ないため、収集したデータのためのデータ蓄積専用RAMは必要とせず、サンプルホールド回路16はコンデンサと抵抗からなる積分回路により低速に動作するから、その効果として高周波のノイズに対して頑強になる。

【0018】又、従来回路では高速サンプリングを行っており、サンプリングを高速化する為には、システムの大型化をまねいた。しかし、本発明の回路はサンプルホールド回路の積分回路により、サンプリングデータを平均化する事が出来るため、サンプリングの低速化が可能であるので、電流検出信号と電圧検出信号は、アナログマルチブレクサにより交互に切替え処理が可能なので、1系統のサンプルホールド回路及びAD変換器で構成することができる。

【0019】尚、検出からデータ処理までの一連の動作は、市販のシングルチップマイコン18に置き換えるとシステムが簡素化される。しかしこれらのシングルチップマイコンは最大10ビットが一般的である。従って、測定精度を上げるためにには図2のようにマイクロプロセッサ12を別チップとし、他の部分をAD変換チップ19とすれば、最大16ビットが可能となり測定精度を上げることができる。

【0020】図3は本発明のバッテリ試験装置を内蔵し

た電力装置の一実施例である。図において、20は交流入力であり、AC/DCコンバータ21、蓄電池22に前記バッテリ試験装置23を組んだものが電力装置24である。尚25は負荷である。

【0021】交流入力20を受電し、AC/DCコンバータ21より負荷25に電力を供給しながら蓄電池22を充電し、交流入力20が停電時には蓄電池22より負荷25に電力を供給する電力装置にバッテリ試験装置23を組み込んだものである。

【0022】バッテリ試験装置23は、例えば各電池毎に配線を設けておき、蓄電池22の単セル毎の残容量又は劣化状態を定期的に測定し、結果を外部に転送したり、あるいはタイマーを内蔵し、周期毎に測定を自動的に行う等して、監視強化を図り、装置全体の信頼性を向上させると共に、蓄電池劣化による電力装置のトラブルを未然に防ぐことができる。

【0023】

【発明の効果】本発明によれば、汎用のオペアンプ、低速のサンプルホールド回路及びAD変換器を使用し、さらにデータ蓄積専用RAMを必要としない為、バッテリ試験装置は低価格になり、システムが小型化される。又、サンプルホールド回路はコンデンサと抵抗の積分回路により低速動作するから、高周波ノイズに対して頑強になり、耐ノイズ性が改善されることが期待される。また、このバッテリ試験装置を電力装置に組み込むことにより、監視強化が図られるため電力装置全体の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明のバッテリ試験装置に於ける実施例を示すブロック図。

【図2】本発明のバッテリ試験装置に於ける他の実施例

を示すブロック図。

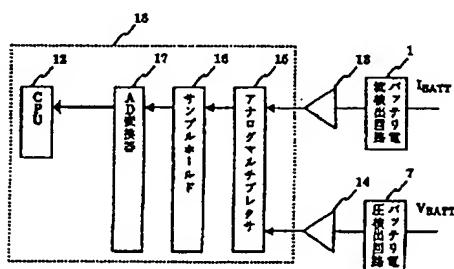
【図3】本発明の電力装置システム図。

【図4】従来のバッテリ試験装置に於ける検出方法の一例を示すブロック図。

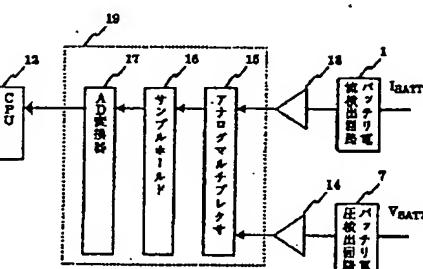
【符号の説明】

1	バッテリ電流検出回路
2	高速広帯域オペアンプ
3	高速のサンプルホールド回路
4	高速のAD変換器
5	データ処理回路
6	データ蓄積専用RAM
7	バッテリ電圧検出回路
8	高速広帯域オペアンプ
9	高速のサンプルホールド回路
10	高速のAD変換器
11	データ蓄積専用RAM
12	マイクロプロセッサ
13	オペアンプ
14	オペアンプ
15	アナログマルチブレクサ
16	低速のサンプルホールド回路
17	AD変換器
18	シングルチップマイコン
19	AD変換チップ
20	交流入力
21	AC/DCコンバータ
22	蓄電池
23	バッテリ試験装置
24	電力装置
25	負荷

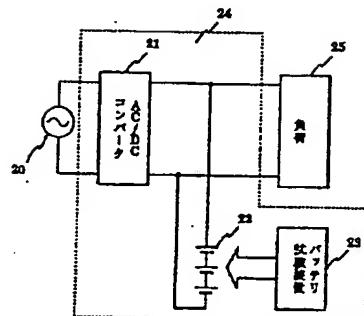
【図1】



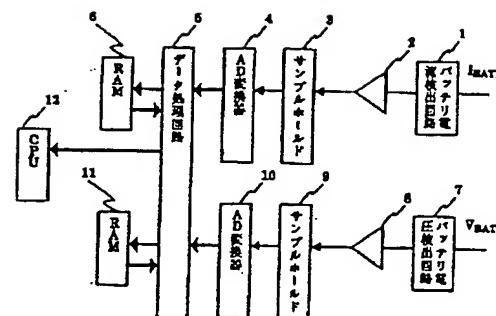
【図2】



【図3】



【図4】



フロントページの続き

(71)出願人 000004282

日本電池株式会社

京都府京都市南区吉祥院西ノ庄猪之馬場町
1番地

(72)発明者 小津 清嗣

埼玉県飯能市南町10番13号 新電元工業株
式会社工場内

(72)発明者 小林 公穎

埼玉県飯能市南町10番13号 新電元工業株
式会社工場内

(72)発明者 佐々木 正博

埼玉県飯能市南町10番13号 新電元工業株
式会社工場内

(72)発明者 高野 和夫

東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 尾形 努

東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 河野 勝

東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 稲垣 伸夫

東京都武藏野市緑町三丁目9番11号 株式
会社アフティ内

(72)発明者 山野 佳哉

京都府京都市南区吉祥院西ノ庄猪之馬場町
1番地 日本電池株式会社内

(72)発明者 多田 幸生

京都府京都市南区吉祥院西ノ庄猪之馬場町
1番地 日本電池株式会社内